

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: K. MATSUBARA, et al.
Serial No.: (new continuation application
under 37 CFR § 1.53[b] of application
Serial No. 08/941,254)
Filed: August 10, 1998
For: DATA PROCESSING APPARATUS HAVING A
FLASH MEMORY BUILT-IN WHICH IS
REWRITABLE BY USE OF EXTERNAL DEVICE
Group: 2818
Examiner: V. Le

500.32032CC6

JC542 U.S. PTO
09/132085



CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D. C. 20231

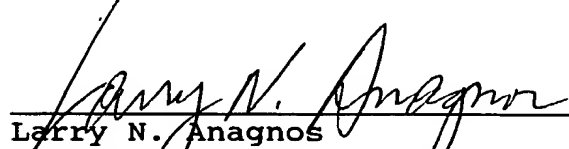
August 10, 1998

Sir:

Pursuant to 35 U.S.C. § 119 and 37 CFR § 1.55, applicants hereby claim the right of priority based on the following foreign applications filed in Japan: Application No. 04-234310 filed on August 10, 1992; Application No. 04-091919 filed on March 17, 1992; and Application No. 04-093908 filed on March 19, 1992.

The certified copies of foreign application No. 04-091919 and foreign application No. 04-093908 were filed on March 16, 1993 in U. S. application Serial No. 08/031,877, filed March 16, 1993, the earliest one in the line of prior applications for which benefit has been requested under 35 U.S.C. § 120; and the certified copy of foreign application No. 04-234310 was filed on August 10, 1993 in U. S. application Serial No. 08/103,800, filed August 10, 1993.

Respectfully submitted,


Larry N. Anagnos
Registration No. 32,392
ANTONELLI, TERRY, STOUT & KRAUS, LLP

LNA:mh
(703/312-6600)

Reference No: I91012151
Mailing No: 169042
Mailing Date: Aug 10, 1999

The Patent Office

Notice of Reasons for Rejection

Application No: Patent Application No. 091919/1992
Date of Issue: July 29, 1999
Examiner of the Japanese Patent Office: Yasunobu Sakai ✓
Agent: Shizuyo Tamamura
Related Item: Item No. 2 of Article 29

The present patent application should be rejected under the following reasons. If the applicant has a response to these reasons, the applicant is requested to submit a written response within 60 days from the mailing date of this notice.

Reasons

1. The invention related to the following claims of this application would have been easily created by a person having ordinary skill in the art to which this invention pertains, based on the inventions described in the following references published in Japan and overseas before the application. Therefore, this invention is not patentable according to prescription No. 29, item 2 of the Patent Law.

Description (Refer to the list of quoted references.)

[For Claim 1] Quoted references 1, 2, and 3
In quoted reference 1, the technical idea "In a microcomputer equipped with EPROM, a writing mode register which stores the information to switch whether said EPROM is written to by the control of CPU or said EPROM is

written to by external equipment is provided, and the writing method is switched depending on the content of the writing mode register" is disclosed.

Comparing the invention in claim 1 and the invention described in quoted reference 1, there are differences in the points that

(a) The incorporated rewritable nonvolatile memory is a "flash memory" in the invention in Claim 1 of this application while it is an "EPROM" in the invention described in quoted reference 1.

(b) The rewriting mode is "specified with the input pin for operating mode signals" in the invention in Claim 1 of this application while it is "specified with the mode register" in the invention described in quoted reference 1.

The above differences are discussed as follows.

<For the above difference (a)>

For example, as described in quoted reference 2, the technical idea to replace the incorporated nonvolatile memory by a "flash E²PROM (flash memory)" is known (refer to, for example, Figure 11 in quoted reference 2).

<For the above difference (b)>

As described in quoted reference 3, "to specify the operating mode of the microcomputer with mode signals from the outside of the microcomputer" is a known technical idea, "specify the rewriting mode with the input pin for operating mode signals" would have been easily created by a person having ordinary skill in the art.

[For Claim 2] Quoted references 1, 2, 3, and 4

As described in quoted reference 4, "a flash memory having multiple memory blocks wherein an erase can collectively be done in a unit and memory blocks with different memory capacity from each other in the multiple memory blocks are

included" is known (refer to, for example, from line 26 to line 33 in the right column on P.49 and Fig.3 in quoted reference 4).

[For Claim 3] Quoted References 1, 2, 3, and 4
Furthermore, in quoted reference 3, the technical idea "a selector is provided to connect the CPU and the nonvolatile memory in the mode where the CPU gets access to the nonvolatile memory, and to disconnect the CPU and the nonvolatile memory in the mode where a write and a read of the program from the outside to the nonvolatile are enabled" is described.

[For Claim 4] Quoted References 1, 2, 3, 4, 5, and 6
Considering the description:

(1) "a writing block comprising a mask ROM is incorporated, and the program read from the outside by the serial communication interface (SCI) is written to the PROM" in quoted reference 5 (for example, refer to from line 15 in the upper left column to line 6 in the upper right column on P.5 and from line 16 to line 19 in the upper right column on P.6), and

(2) "In a single chip LSI, a program that programs E²PROM 5 is stored in ROM 2, and a program that is input via the serial I/O port is written to the E²PROM or the written program is verified by the control of CPU" in quoted reference 6,

it is not particularly difficult for a person having ordinary skill in the art to create the idea of using a ROM with a rewriting control program in "the mode where a rewriting to the nonvolatile memory is controlled by the CPU" described in quoted reference 1.

[For Claim 5] Quoted References 1, 2, 3, 4, 5, 6, and 7
In quoted reference 7, the technical idea "the data writing program which writes the data to the incorporated PROM is stored in part of said incorporated PROM, then the CPU is controlled by said program for data controlling,

and the data is written to the incorporated PROM from the outside" is described.

[For Claim 6] Quoted References 1, 2, and 3

In quoted reference 1, "In a microcomputer comprising a CPU, an EPROM, and an I/O port, a writing mode register which stores the information to switch whether said EPROM is written to by the control of CPU or the incorporated EPROM is written to by connecting external equipment such as an EPROM writer to the I/O port, and the writing method is switched depending on the content of the writing mode register" is described.

Comparing the invention in Claim 6 of this application and the invention described in quoted reference 1, they are different in the points that

(a) The incorporated rewritable nonvolatile memory is a "flash memory" in the invention in Claim 6 of this application while it is an "EPROM" in the invention described in quoted reference 1,

(b) The writing mode is "specified with the input pin for operating mode signals" in the invention in Claim 6 of this application while it is "specified with the mode register" in the invention described in quoted reference 1, and

(c) "A switching means is provided on the data bus and the address bus between the central processing unit and the flash memory" is described in the invention in Claim 6 of this application while such means is not described in quoted reference 1.

The above differences are discussed as follows.

<For the above difference (a)>

For example, as described in quoted reference 2, the technical idea to replace the incorporated rewritable nonvolatile memory by a "flash E²PROM (flash memory)" is

known (refer to, for example, Figure 11 in quoted reference 2).

<For the above difference (b)>

As described in quoted reference 3, because "specify the operating mode of the microcomputer with mode signals from the outside of the microcomputer" is a known technical idea, "specify the writing mode with the input pin for operating mode signals" would have been easily created by a person having ordinary skill in the art.

<For the above difference (C)>

As described in quoted reference 3, because "to provide a selector on the data bus and the address bus between the CPU and the E²PROM" is known, to provide a "switching means" as an invention in Claim 6 of this application is not particularly difficult for a person having ordinary skill in the art.

[For Claim 7] Quoted references 1, 2, and 3

Furthermore, in quoted reference 1, "I/O port is set to the non-operating state in the mode where the EPROM is written to by the control of CPU and the I/O port is set to the operating state in the mode where the EPROM is written to with the external equipment" is described.

Also, in quoted reference 3, the technical idea "a selector is provided to connect the CPU and the nonvolatile memory are connected in the mode where the CPU gets access to the nonvolatile memory, and to disconnect the CPU and the nonvolatile memory in the mode where a write and a read of the program from the outside to the nonvolatile memory are enabled" is disclosed.

[For Claim 8] Quoted references 1, 2, 3, 5, and 6

"A writing block comprising a mask ROM is incorporated and the program read from the outside by the serial communication interface (SCI) is written to the PROM" is

described in quoted reference 5 (refer to, for example, from line 15 in the upper left column to line 6 in the upper right column on P.5 and from line 16 to line 19 in the upper right column on P.6), and "In a single chip LSI, a program that programs to E²PROM 5 is stored in ROM 2, and a program that is input via the serial I/O port is written to E²PROM 5 or the written program is verified by the control of CPU" is described in quoted reference 6.

[For Claim 9] Quoted references 1, 2, 3, 5, 6, and 7
In quoted reference 7, "the data writing program which writes the data to the incorporated PROM is stored in part of said incorporated PROM" is described.

[For Claim 10] Quoted references 1, 2, and 3
For quoted references 1, 2, and 3, refer to the comment in [For Claim 1] or [For Claim 6].

[For Claim 11] Quoted references 1 and 5
In quoted reference 1, "In a microcomputer comprising a CPU, an EPROM, and an I/O port, a writing mode register which stores the information to switch whether said EPROM is written to by the control of CPU or said EPROM is written to by connecting external equipment such as an EPROM writer to the I/O port, and the writing method is switched depending on the content of the writing mode register" is described.

Comparing the invention in Claim 11 of this application and the invention described in quoted reference 1, they are different in the points that the data to be written to the nonvolatile memory by the control of CPU is "the data to be supplied via the serial communication interface" in the invention in Claim 1 of this application while it can be thought of as "the data generated by executing the program instruction" in the invention described in quoted reference 1.

However, as described in quoted reference 5 (refer to, for example, from line 15 in the upper left column to line 6 in the upper right column on P.5 and from line 16 in the upper right column to line 19 on P.6), considering that the technical idea "a writing block comprising a mask ROM is incorporated and the program read from the outside by the serial communication interface (SCI) is written to the PROM" is known, it is not particularly difficult for a person having ordinary skill in the art to replace the data to be written to the nonvolatile memory using the CPU control by "the data to be supplied via the serial communication interface".

[For Claim 12] Quoted references 1, 2, 3, 4, and 5
Because "to control the transition to the low-consumption mode depending on the operating state of the central processing unit" is a technical idea which was already known at the time of filing, it is not difficult for a person having ordinary skill in the art to create the idea "In the second operating mode where the data is written to the nonvolatile memory by the control of external equipment, the central processing unit which is not directly related to the rewriting is switched to the low-power consumption mode".

[For Claim 13] Quoted references 1 and 5
For quoted references 1 and 5, refer to the comment in [For Claim 11].

[For Claim 14] Quoted references 1, 2, 3, 5, and 6
For quoted references 1, 2, and 3, refer to the comment in [For Claim 1].
For quoted references 5 and 6, refer to the comment in [For Claim 4] (note that "the written program is verified" is also described in quoted reference 6).

[For Claim 15] Quoted references 1, 2, 3, 4, 5, and 6

For quoted reference 4, refer to the comment in [For Claim 2].

[For Claim 16] Quoted references 1, 2, 3, 4, 5, 6, and 8
In quoted reference 8, "to provide a memory element split to multiple independent programmable blocks and a memory circuit (corresponding to the "controlling register" in this application) that stores a block-select signal that selects a desired number of blocks to be erased and a block-erase circuit that applies a block-erase signal to the selected blocks" is described.

[For Claim 17] Quoted references 1, 2, 3, 5, 6, and 9
In quoted reference 9, the technical idea "to unify the erase characteristics by performing an erase operation after a write is implemented to all or a predetermined group of memory cells" is disclosed.

[Postscript]

The above comments are for Claims described in the amendment dated on Nov. 20, 1998.

The applicant has shown an amendment draft of Claims in "A supplement to explanation of circumstances for an accelerated examination" dated on May 18, 1999, so the comments to this amendment draft are also added.

[For claim 1 in the amendment draft] Quoted references 1, 2, 3, 5, and 6

In quoted reference 1, the technical idea "In a microcomputer equipped with EPROM, a writing mode register which stores the information to switch whether said EPROM is written to by the control of CPU or said EPROM is written to by external equipment is provided and the writing method is switched depending on the content of the writing mode register" is disclosed.

Comparing the invention in Claim 1 in the amendment draft with the invention in quoted reference 1, there are differences in the points that

- (a) The incorporated rewritable nonvolatile memory is a "flash memory" in the invention in Claim 1 in the amendment draft while it is an "EPROM" in the invention described in quoted reference 1,
- (b) The rewriting mode is "specified by the input pin for operating mode signals" in the invention in Claim 1 in the amendment draft while it is "specified by the mode register" in the invention described in quoted reference 1,
- (c) In the mode where a write is controlled by the CPU, a "program" is written in the invention in Claim 1 in the amendment draft while "data" is written in the invention described in quoted reference 1.

The above differences are discussed as follows.

<For the above difference (a)>

For example, as described in quoted reference 2, the technical idea to replace the incorporated rewritable nonvolatile memory by a "flash E²PROM (flash memory)" is known (refer to, for example, Figure 11 in quoted reference 2).

<For the above difference (b)>

As described in quoted reference 3, "to specify the operating mode of the microcomputer with mode signals from the outside of the microcomputer" is a known technical idea, "to specify the rewriting mode with the input pin for operating mode signals" would have been easily created by a person having ordinary skill in the art.

<For the above difference (c)>

Considering the description:

- (1) "a writing block comprising a mask ROM is incorporated, and the program read from the outside is

written to the PROM by the control of CPU" is described in quoted reference 5 (for example, refer to from line 15 in the upper left column to line 6 in the upper right column on P.5 and from line 16 to 19 in the upper right column on P.6), and

(2) "In a single chip LSI, a program that programs E²PROM5 is stored in ROM2, and a program that is input via the serial I/O port is written to the E²PROM or the written program is verified by the control of CPU" is described in quoted reference 6,

it is not particularly difficult for a person having ordinary skill in the art to create the idea "write a program in the mode where a write is controlled by the CPU".

[For Claims 18, 19, and 20 in the amendment draft] Quoted references 1, 2, and 5

As described in quoted reference 2, "to replace the incorporated nonvolatile memory by a flash EEPROM" is known.

For quoted references 1 and 5, refer to the comment in [For Claim 11].

[For Claims 21 in the amendment draft] Quoted references 1, 2, and 5

In quoted reference 1, "to be equipped with I/O port (11c) to which data signals are supplied from external equipment and I/O ports (11a) and (11b) to which address signals are input from external equipment" is also described.

[For Claims 22, 23, and 24 in the amendment draft] Quoted references 1, 2, and 5

As described in quoted reference 2, "to replace the incorporated nonvolatile memory by a flash E²PROM" is known.

For quoted references 1 and 5, refer to the comment in [For Claim 11].

[For Claims 25 and 26 in the amendment draft] Quoted references 1, 2, and 5

In quoted reference 1, "equipped with I/O port (11c) to which data signals are supplied from external equipment and I/O ports (11a) and (11b) to which address signals are supplied from external equipment" is also described.

[For Claim 27 in the amendment draft] Quoted references 1, 2, and 5

In quoted references 1, 2, and 5, refer to the comment in [For Claims 22, 23, and 25 in the amendment draft].

[For claim 28 in the amendment draft] Quoted references 1, 2, 3, and 5

For quoted reference 3, refer to the comment in [For Claim 1] and the comment in [For claim 3].

[For Claim 29 in the amendment draft] Quoted references 1, 2, 3, 5, and 6

Considering the description:

(1) "a writing block comprising a mask ROM is incorporated, and the program read from the outside by the serial communication interface (SCI) is written to the PROM" is described in quoted reference 5 (refer to, for example, from line 15 in the upper left column to line 6 in the upper right column on P.5 and from line 16 to line 19 in the upper right column on P.6), and

(2) "In a single chip LSI, a program that programs E²PROM 5 is stored in ROM 2, and a program that is input via the serial I/O port is written to E²PROM or the written program is verified by the control of CPU" in quoted reference 6,

it is not particularly difficult for a person having ordinary skill in the art to create the idea of using "the second memory with a rewriting control program" in "the mode where the nonvolatile memory is programmed by the control of CPU" described in quoted reference 1.

[For Claim 30 in the amendment draft] Quoted references 1, 2, 3, 5, 6, 7, and 10

In quoted reference 7, "the data writing program which writes the data to the incorporated PROM is stored in part of said incorporated PROM" is described.

For example, as described in quoted reference 10, considering that the technical idea "to transfer the program in the ROM to the RAM and use it" is well known, so the technical idea "to transfer the program stored in the nonvolatile memory to the second memory" as in this application would have been easily created if necessary.

[For Claim 31 in the amendment draft] Quoted references 1, 2, and 3

For quoted references 1, 2, and 3, refer to the comment in [For Claim 1].

[For Claim 32 in the amendment draft] Quoted references 1, 2, 3, 5, and 6

For quoted references 5 and 6, refer to the comment in [For Claim 29 in the amendment draft].

[For Claim 33 in the amendment draft] Quoted references 1, 2, 3, 5, 6, 7, and 10

Refer to the comment in [For Claim 30 in the amendment draft]

List of quoted references

1. Gazette of Japanese Patent Laid-Open No. S.62-099856
- ✓ 2. Ko-Min Chang, et al., "A MODULAR FLASH EEPROM TECHNOLOGY FOR 0.8 μ m HIGH SPEED LOGIC CIRCUITS", IEEE Custom Integrated Circuits Conference, pp.18.7.1-18.7.4, 1991
- ✓ 3. Gazette of Japanese Patent Laid-Open No. H.2-310786
4. Russell Clayton, "Block structures in flash memory", Electronic Engineering, Vol.63, No.775, p.49, 1991

- ✓ 5. Gazette of Japanese Patent Laid-Open No. H.3-329955
- ✓ 6. Gazette of Japanese Patent Laid-Open No. S.63-206852
- ✓ 7. Microfilm of Japanese Utility Model Application No. S.63-166618 (Utility Model Laid-Open No. H.2-089555)
- ✓ 8. Gazette of Japanese Patent Laid-Open No. H.1-298600
- ✓ 9. Gazette of Japanese Patent Laid-Open No. H.1-273296
- ✓ 10. Microfilm of Japanese Utility Model Application No. S 61-004643 (Utility Model Laid-Open No. S.62-117633)



整理番号 I 9 1 0 1 2 1 5 1

発送番号 1 6 9 0 4 2

発送日 平成11年 8月10日 1/10

拒絶理由通知書

特許出願の番号	平成 4 年 特許願 第091919号
起案日	平成11年 7月29日
特許庁審査官	酒井 恭信 9190 5M00
特許出願人代理人	玉村 静世 殿
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出されたい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

(引用文献等については引用文献等一覧参照)

【請求項1に対して】 引用文献1, 2, 3

引用文献1には、「EPROMを内蔵したマイクロコンピュータにおいて、CPUの制御により前記EPROMに書込みを行うか、外部装置により前記EPROMに書込みを行うかを切替える情報を格納する書込みモードレジスタを設け、書込みモードレジスタの内容に従って、書込み方法の切換えを行う」技術思想が開示されている。

本願請求項1に係る発明と引用文献1に記載された発明とを比較するに、両者
続葉有

続 葉

は、(a) 内蔵する書換え可能な不揮発性メモリが、本願請求項1に係る発明では「フラッシュメモリ」であるのに対し、引用文献1に記載された発明では「EPROM」である点、(b) 書換えモードを、本願請求項1に係る発明では「動作モード信号の入力端子により指定している」のに対し、引用文献1に記載された発明では「モードレジスタにより指定している」点、で相違する。

以下、上記相違点について検討する。

《上記相違点(a)について》

例えば引用文献2に記載されているように、内蔵する書換え可能な不揮発性メモリを「フラッシュ EEPROM (フラッシュメモリ)」とする技術思想は知られている。(引用文献2の例えば、Figure 11を参照。)

《上記相違点(b)について》

引用文献3に記載されているように「マイクロコンピュータの動作モードを、マイクロコンピュータの外部からのモード信号によって指定する」のは知られた技術思想であるから、書換えモードを「動作モード信号の入力端子により指定する」のは当業者が適宜為し得たことであると認められる。

【請求項2に対して】 引用文献1, 2, 3, 4

引用文献4に記載されているように「一括消去可能な単位として複数のメモリブロックを有し、複数のメモリブロックには相互に記憶容量の相違されるメモリブロックが含まれるフラッシュメモリ」は知られている。(引用文献4の例えば第49頁右欄第26行～同欄第33行、Fig. 3を参照。)

【請求項3に対して】 引用文献1, 2, 3, 4

引用文献3には、更に「CPUが不揮発性メモリにアクセスするモードでは、CPUと不揮発性メモリとを接続し、不揮発性メモリに対して外部からのプログラムの書込み及び読出しを可能とするモードでは、CPUと不揮発性メモリとを遮断するセレクトを設ける」技術思想が開示されている。

【請求項4に対して】 引用文献1, 2, 3, 4, 5, 6

引用文献5 (例えば第5頁上段左欄第15行～同頁上段右欄第6行、第6頁上段右欄第16行～同欄第19行参照) に「マスクROMからなる書込ブロックを内蔵し、シリアル通信機能(SCI)より外部から読み込んだプログラムをPR

OMに書き込む」ことが、又、引用文献6に「シングルチップLSIにおいて、

続葉有

続 葉

ROM2に、EEPROM5にプログラムを書き込むためのプログラムを格納しておき、シリアルI/Oポートを介して入力されるプログラムをCPUの制御によりEEPROMに書き込み、又、書き込まれたプログラムをベリファイする」ことが、記載されていることを考慮すると、引用文献1に記載された「不揮発性メモリに対する書換えをCPUに制御させるモード」において、書換え制御プログラムを保有するROMを用いることに想到するのは、当業者にとって格別困難ではないと認められる。

【請求項5に対して】 引用文献1, 2, 3, 4, 5, 6, 7

引用文献7には「内蔵PROMにデータを書き込むためのデータ書込み用プログラムを、前記内蔵PROMの一部に格納し、該データ書込み用プログラムに従ってCPUが制御され、外部から内蔵PROMへのデータ書込みを行う」技術思想が記載されている。

【請求項6に対して】 引用文献1, 2, 3

引用文献1には、「CPUと、EPROMと、I/Oポートとを備えたマイクロコンピュータにおいて、CPUの制御により前記EPROMに書込みを行うか、EPROMライター等の外部装置をI/Oポートに接続して内蔵EPROMに書込みを行うかを切替える情報を格納する書込みモードレジスタを設け、書込みモードレジスタの内容に従って、書込み方法の切換えを行う」ことが記載されている。

本願請求項6に係る発明と引用文献1に記載された発明とを比較するに、両者は、(a) 内蔵する書換え可能な不揮発性メモリが、本願請求項6に係る発明では「フラッシュメモリ」であるのに対し、引用文献1に記載された発明では「EPROM」である点、(b) 書換えモードを、本願請求項6に係る発明では「動作モード信号の入力端子により指定している」のに対し、引用文献1に記載された発明では「モードレジスタにより指定している」点、(c) 本願請求項6に係る発明では、「中央処理装置とフラッシュメモリとの間のデータバス及びアドレスバス上に配置されたスイッチ手段」を備えているのに対して、引用文献1には、そのような手段が記載されていない点で、相違する。

以下、上記相違点について検討する。

《上記相違点(a)について》

例えば引用文献2に記載されているように、内蔵する書換え可能な不揮発性メ

続 葉

メモリを「フラッシュ EEPROM (フラッシュメモリ)」とする技術思想は知られている。(引用文献2の例えば、Figure 11を参照。)

《上記相違点(b)について》

引用文献3に記載されているように「マイクロコンピュータの動作モードを、マイクロコンピュータの外部からのモード信号によって指定する」のは知られた技術思想であるから、書換えモードを「動作モード信号の入力端子により指定する」のは当業者が適宜為し得たことであると認められる。

《上記相違点(c)について》

引用文献3に記載されているように「CPUとEEPROMとの間のデータバス及びアドレスバス上にセクタを設ける」ことは知られているから、本願請求項6に係る発明のような「スイッチ手段」を設けるのは当業者にとって格別困難ではない。

【請求項7に対して】 引用文献1, 2, 3

引用文献1には、更に「CPUの制御によりEPROMに書き込みを行うモードでは、I/Oポートを非動作状態にし、外部装置によりEPROMに書き込みを行うモードでは、I/Oポートを動作状態にする」ことが記載されている。

また、引用文献3には、「CPUが不揮発性メモリにアクセスするモードでは、CPUと不揮発性メモリとを接続し、不揮発性メモリに対して外部からのプログラムの書き込み及び読出しを可能とするモードでは、CPUと不揮発性メモリとを遮断するセクタを設ける」技術思想が開示されている。

【請求項8に対して】 引用文献1, 2, 3, 5, 6

引用文献5 (例えば第5頁上段左欄第15行～同頁上段右欄第6行、第6頁上段右欄第16行～同欄第19行参照) に「マスクROMからなる書込ブロックを内蔵し、シリアル通信機能(SCI)より外部から読み込んだプログラムをPROMに書き込む」ことが、又、引用文献6に「シングルチップLSIにおいて、ROM2に、EEPROM5にプログラムを書き込むためのプログラムを格納しておき、シリアルI/Oポートを介して入力されるプログラムをCPUの制御によりEEPROM5に書き込み、又、書き込まれたプログラムをペリファイする」ことが、記載されている。

続 葉

【請求項9に対して】 引用文献1, 2, 3, 5, 6, 7

引用文献7には「内蔵PROMにデータを書き込むためのデータ書き込み用プログラムを、前記内蔵PROMの一部に格納する」ことが記載されている。

【請求項10に対して】 引用文献1, 2, 3

引用文献1, 2, 3については、【請求項1に対して】の指摘又は【請求項6に対して】の指摘を参照。

【請求項11に対して】 引用文献1, 5

引用文献1には、「CPUと、EPROMと、I/Oポートとを備えたマイクロコンピュータにおいて、CPUの制御により前記EPROMに書き込みを行うか、EPROMライタ等の外部装置をI/Oポートに接続して前記EPROMに書き込みを行うかを切替える情報を格納する書き込みモードレジスタを設け、書き込みモードレジスタの内容に従って、書き込み方法の切換えを行う」ことが記載されている。

本願請求項11に係る発明と、引用文献1に記載された発明とを比較するに、CPUの制御により不揮発性メモリに書き込むデータが、本願請求項1に係る発明では「シリアル・コミュニケーション・インターフェースを介して供給されるデータ」であるのに対し、引用文献1に記載された発明では、「プログラムの命令実行によって発生するデータ」であると認められる点で、両者は相違する。

しかし、引用文献5（引用文献5の例えば第5頁上段左欄第15行～同頁上段右欄第6行、第6頁上段右欄第16行～同欄第19行参照）に記載されているように「マスクROMからなる書込ブロックを内蔵し、シリアル通信機能（SCI）より外部から読み込んだプログラムをPROMに書き込む」技術思想が知られていることを考慮すると、CPUの制御により不揮発性メモリに書き込むデータを「シリアル・コミュニケーション・インターフェースを介して供給されるデータ」とすることは当業者にとって格別困難ではないと認められる。

【請求項12に対して】 引用文献1, 2, 3, 4, 5

「中央処理装置の動作状態に応じて、低消費電力モードへの移行を制御する」のは、出願時において既に知られた技術思想であるから、「外部装置の制御によりデータを不揮発性メモリへ書き込む第2の動作モードにおいて、書換えとは直接関係のない中央処理装置を低消費電力モードにする」ことに想到するのは当業

続 葉

者にとって格別困難ではない。

【請求項13に対して】 引用文献1, 5

引用文献1, 5については、【請求項11に対して】の指摘を参照。

【請求項14に対して】 引用文献1, 2, 3, 5, 6

引用文献1, 2, 3については、【請求項1に対して】の指摘を参照。

引用文献5, 6については、【請求項4に対して】の指摘を参照。(引用文献6には、「書き込まれたプログラムをベリファイする」ことも記載されているので、留意されたい。)

【請求項15に対して】 引用文献1, 2, 3, 4, 5, 6

引用文献4については、【請求項2に対して】の指摘を参照。

【請求項16に対して】 引用文献1, 2, 3, 4, 5, 6, 8

引用文献8には、「互いに独立に書込み及び消去可能な複数のブロックを備えた記憶素子と、ブロック選択信号を記憶して消去すべき任意数のブロックを選択する記憶回路(本願の「制御レジスタ」に対応)と、選択されたブロックに対してブロック消去信号を加えるブロック消去回路とを設ける」ことが記載されている。

【請求項17に対して】 引用文献1, 2, 3, 5, 6, 9

引用文献9には「全ての又は所定一群のメモリセルに書込みを行った後に、消去を行うことにより、消去特性を揃える」技術思想が開示されている。

[追記]

以上は、平成10年11月20日付けの手續補正書に記載されている特許請求の範囲に対するものである。

出願人は、平成11年5月18日付けの「早期審査に関する事情説明書補充書」において、特許請求の範囲の補正案を示しているので、便宜上この補正案についてのコメントも付記する。

続 葉

【補正案の請求項1に対して】 引用文献1, 2, 3, 5, 6

引用文献1には、「EPROMを内蔵したマイクロコンピュータにおいて、CPUの制御により前記EPROMに書き込みを行うか、外部装置により前記EPROMに書き込みを行うかを切替える情報を格納する書き込みモードレジスタを設け、書き込みモードレジスタの内容に従って、書き込み方法の切換えを行う」技術思想が開示されている。

補正案の請求項1に係る発明と引用文献1に記載された発明とを比較するに、両者は、(a)内蔵する書換え可能な不揮発性メモリが、補正案の請求項1に係る発明では「フラッシュメモリ」であるのに対し、引用文献1に記載された発明では「EPROM」である点、(b)書換えモードを、補正案の請求項1に係る発明では「動作モード信号の入力端子により指定している」のに対し、引用文献1に記載された発明では「モードレジスタにより指定している」点、(c)CPUにより書き込みを制御するモードにおいて、補正案の請求項1に係る発明では「プログラム」を書き込んでいるのに対し、引用文献1に記載された発明では「データ」を書き込んでいる点で、相違する。

以下、上記相違点について検討する。

〈上記相違点(a)について〉

例えば引用文献2に記載されているように、内蔵する書換え可能な不揮発性メモリを「フラッシュ EEPROM (フラッシュメモリ)」とする技術思想は知られている。(引用文献2の例えば、Figure 11を参照。)

〈上記相違点(b)について〉

引用文献3に記載されているように「マイクロコンピュータの動作モードを、マイクロコンピュータの外部からのモード信号によって指定する」のは知られた技術思想であるから、書換えモードを「動作モード信号の入力端子により指定する」のは当業者が適宜為し得たことであると認められる。

〈上記相違点(c)について〉

引用文献5 (例えば第5頁上段左欄第15行～同頁上段右欄第6行、第6頁上段右欄第16行～同欄第19行参照) に「マスクROMからなる書込ブロックを内蔵し、CPU制御により、外部から読み込んだプログラムをPROMに書き込む」ことが、又、引用文献6に「シングルチップLSIにおいて、ROM2に、

続葉有

続 葉

EEPROM5にプログラムを書込むためのプログラムを格納しておき、シリアルI/Oポートを介して入力されるプログラムをCPUの制御によりEEPROMに書き込み、又、書き込まれたプログラムをベリファイする」ことが、記載されていることを考慮すると、「CPUにより書き込みを制御するモードにおいて、プログラムを書き込む」ことに想到するのは、当業者にとって格別困難ではない。

【補正案の請求項18, 19, 20に対して】 引用文献1, 2, 5

引用文献2に記載されているように「内蔵する不揮発性メモリを、フラッシュEEPROMとする」ことは知られている。

引用文献1, 5については、【請求項11に対して】の指摘を参照。

【補正案の請求項21に対して】 引用文献1, 2, 5

引用文献1には、「外部装置よりデータ信号が供給されるI/Oポート(11c)と、外部装置よりアドレス信号が入力される(11a)(11b)とを、備える」ことも記載されている。

【補正案の請求項22, 23, 24に対して】 引用文献1, 2, 5

引用文献2に記載されているように「内蔵する不揮発性メモリを、フラッシュEEPROMとする」ことは知られている。

引用文献1, 5については、【請求項11に対して】の指摘を参照。

【補正案の請求項25, 26に対して】 引用文献1, 2, 5

引用文献1には、「外部装置よりデータ信号が供給されるI/Oポート(11c)と、外部装置よりアドレス信号が供給されるI/Oポート(11a)(11b)とを、備える」ことも記載されている。

【補正案の請求項27に対して】 引用文献1, 2, 5

引用文献1, 2, 5については、【補正案の請求項22, 23, 24に対して】の指摘を参照。

【補正案の請求項28に対して】 引用文献1, 2, 3, 5

引用文献3については、【請求項1に対して】の指摘及び【請求項3に対して】の指摘を参照。

【補正案の請求項29に対して】 引用文献1, 2, 3, 5, 6

続 葉

引用文献5（例えば第5頁上段左欄第15行～同頁上段右欄第6行、第6頁上段右欄第16行～同欄第19行参照）に「マスクROMからなる書込ブロックを内蔵し、シリアル通信機能（SCI）より外部から読み込んだプログラムをPROMに書込む」ことが、又、引用文献6に「シングルチップLSIにおいて、ROM2に、EEPROM5にプログラムを書き込むためのプログラムを格納しておき、シリアルI/Oポートを介して入力されるプログラムをCPUの制御によりEEPROMに書き込み、又、書き込まれたプログラムをベリファイする」ことが、記載されていることを考慮すると、引用文献1に記載された「不揮発性メモリに対する書換えをCPUに制御させるモード」において、「書換え制御プログラムを保有する第2のメモリ」を用いることに想到するのは、当業者にとって格別困難ではないと認められる。

【補正案の請求項30に対して】 引用文献1, 2, 3, 5, 6, 7, 10

引用文献7には「内蔵PROMにデータを書き込むためのデータ書込み用プログラムを、前記内蔵PROMの一部に格納する」ことが記載されている。

例えば引用文献10に記載されているように「ROMのプログラムをRAMに転送して使用する」技術思想が周知であることも考慮すると、本願のように「不揮発性メモリに格納されたプログラムを第2のメモリに転送する」のは必要に応じ適宜為し得たことであると認められる。

【補正案の請求項31に対して】 引用文献1, 2, 3

引用文献1, 2, 3については、【請求項1に対して】の指摘を参照。

【補正案の請求項32に対して】 引用文献1, 2, 3, 5, 6

引用文献5, 6については、【補正案の請求項29に対して】の指摘を参照。

【補正案の請求項33に対して】 引用文献1, 2, 3, 5, 6, 7, 10

【補正案の請求項30に対して】の指摘を参照。

続 葉

引用文献等一覧

1. 特開昭62-099856号公報
2. Ko-Min Chang, et al., "A MODULAR FLASH EEPROM TECHNOLOGY FOR 0.8 μ m HIGH SPEED LOGIC CIRCUITS", IEEE Custom Integrated Circuits Conference, pp.18.7.1 - 18.7.4, 1991
3. 特開平02-310786号公報
4. Russell Clayton, "Block structures in flash memory", Electronic Engineering, Vol.63, No.775, p.49, 1991
5. 特開平03-229955号公報
6. 特開昭63-206852号公報
7. 実願昭63-166618号 (実開平02-089555号) の
マイクロフィルム
8. 特開平01-298600号公報
9. 特開平01-273296号公報
10. 実願昭61-004643号 (実開昭62-117633号) の
マイクロフィルム